

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223906

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H01P 1/203

H01P 1/205

H01P 7/08

(21)Application number : 11-020715

(71)Applicant : KYOCERA CORP

(22)Date of filing : 28.01.1999

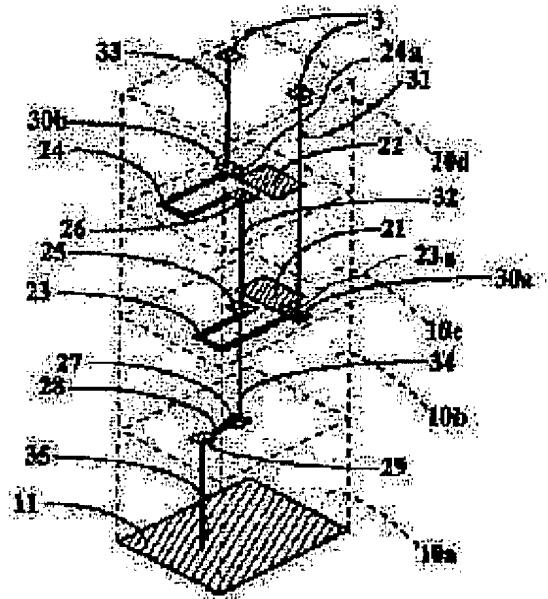
(72)Inventor : ISOYAMA SHINJI
NAKAMATA KATSURO

(54) HIGH-PASS FILTER AND CIRCUIT BOARD EQUIPPED WITH SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To build a high-pass filter integrally in a circuit board, to effectively remove a low-frequency signal, and to obtain superior design with a large degree of freedom of arrangement of various patterns.

SOLUTION: The high-pass filter is equipped with strip lines 23 and 24 for main inductor formation which are formed in different dielectric layers in laminate by laminating dielectric layers 10a to 10d and a couple of capacitance forming electrodes 21 and 22 which are provided opposite across the dielectric layers. The strip lines 23 and 24 are connected by a via hole conductor 32, which is connected to an earth electrode 11 through a strip line 28 for subinductor formation and via hole conductors 34 and 35 for the subinductor formation.



LEGAL STATUS

[Date of request for examination] 06.03.2003

[Date of sending the examiner's decision of rejection] 07.12.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223906

(P2000-223906A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.⁷

識別記号

F I

テーマト*(参考)

H 0 1 P 1/203

H 0 1 P 1/203

5 J 0 0 6

1/205

1/205

B

G

7/08

7/08

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号

特願平11-20715

(22)出願日

平成11年1月28日(1999.1.28)

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72)発明者 磯山 伸治

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(72)発明者 中俣 克朗

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

Fターム(参考) 5J006 HB05 HB22 HD08 HD12 JA04

LA13 LA21 NA08 NB09 NC03

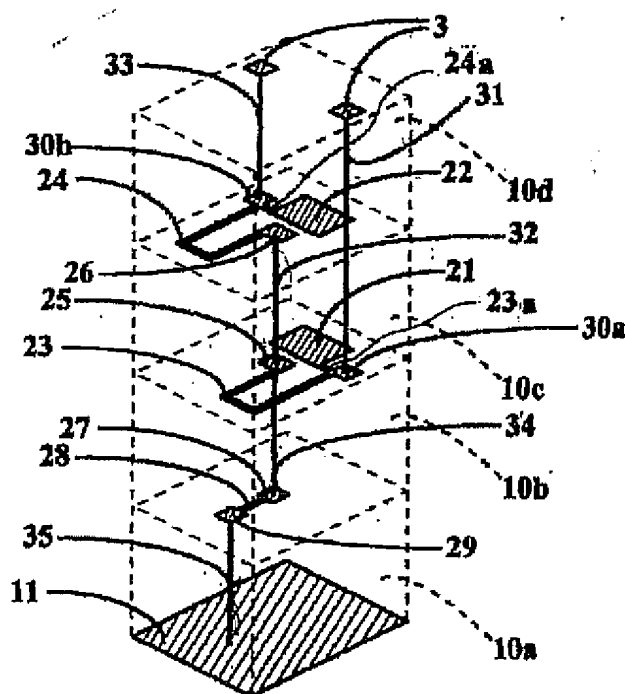
PA03

(54)【発明の名称】 ハイパスフィルタおよびそれを具備する回路基板

(57)【要約】

【課題】回路基板に一体的に内蔵可能であり、低周波側の信号を有効に除去できるとともに、各種パターンの配置の自由度の高い設計性に優れたハイパスフィルタおよびそれを具備する回路基板を提供する。

【解決手段】誘電体層10a~10dを複数積層してなる積層体内の異なる誘電体層に形成されたメインインダクタ形成用ストリップライン23、24と、誘電体層を挟む対向する位置に設けられた一対の容量形成電極21、22とを具備したハイパスフィルタであって、メインインダクタ形成用ストリップライン23、24をビアホール導体32で接続するとともに、ビアホール導体32をサブインダクタ形成用ストリップライン28およびサブインダクタ形成用ビアホール導体34、35を介してアース電極11に接続する。



【特許請求の範囲】

【請求項1】誘電体層を複数積層してなる積層体と、該積層体内の異なる前記誘電体層間に形成された複数のメインインダクタ形成用ストリップラインと、誘電体層を挟む対向する位置に設けられた一対の容量形成電極とを具備したハイパスフィルタであって、前記複数のメインインダクタ形成用ストリップラインをビアホール導体によって接続するとともに、該ビアホール導体をサブインダクタ形成用ストリップラインおよびサブインダクタ形成用ビアホール導体を介してアース電極に接続したことを特徴とするハイパスフィルタ。

【請求項2】前記サブインダクタ形成用ストリップラインが、前記メインインダクタ用のストリップラインが形成された誘電体層間とは異なる誘電体層間に形成されていることを特徴とする請求項1記載のハイパスフィルタ。

【請求項3】異なる誘電体層間にそれぞれ形成された前記メインインダクタ形成用ストリップラインが、前記誘電体層の積層方向から見て、異なる位置に形成されていることを特徴とする請求項1または2記載のハイパスフィルタ。

【請求項4】前記アース電極が、前記積層体の最下面あるいは最上面に被着形成されていることを特徴とする請求項1記載のハイパスフィルタ。

【請求項5】請求項1乃至4のうちいずれか記載のハイパスフィルタを含む複数のフィルタを内蔵することを特徴とする回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ハイパスフィルタおよびそれを具備する回路基板に関し、特に、RFモジュール用回路基板に内蔵され、携帯通信用電話機等の高周波回路無線部に組み込まれるフィルタやデユプレクサ等に利用される高周波用に適した積層型のハイパスフィルタおよび回路基板の改良に関する。

【0002】

【従来技術】従来、種々の積層型高周波フィルタとして、ローパスフィルタやバンドパスフィルタが開発されているが、携帯電話に組み込まれるフィルタとしては増幅器等のスプリアスを除去する目的からローパスフィルタが用いられ、また、帯域外の信号を除去する目的からバンドパスフィルタが主として用いられている。

【0003】

【発明が解決しようとする課題】しかしながら、近年では携帯電話のデュアル化（例えば、900MHz帯と1800MHz帯の両方を送受信可能）が促進され、これに伴い、受信側において、900MHz帯の信号を除去するためのハイパスフィルタが必要になってきている。

【0004】また、携帯電話の小型化に伴い、電子部品の小型化の要求は強く、電子部品のモジュール化が進

み、ローパスフィルタ、バンドパスフィルタ、ハイパスフィルタ等のフィルタや、インピーダンスマッチング用のマッチング回路などの受動回路を、回路基板に内蔵することが要求され、別付けタイプの従来のフィルタでは対応することが困難になってきている。しかしながら、これまで、小型化、低背化を実現し、RFモジュール用回路基板に一体的に内蔵可能なハイパスフィルタについてはほとんど皆無であった。

【0005】また、携帯電話のデュアル化に伴い、単純には受信用フィルタが2つ、送信用フィルタが2つ必要になり、今後、トリプル化、多システム化が進むにつれ、フィルタの数は増加していく傾向にある。しかし、携帯電話のサイズの大型化は許されず、更なる小型化が要求されている。

【0006】そのため、小型化、低背化するとともに、バンドパスフィルタ等の素子とともに内蔵でき、また、比誘電率の高い誘電体を用いた回路基板に対して内蔵可能なハイパスフィルタが求められる。

【0007】しかしながら、比誘電率を高くすることで、表面電極とアース電極との間の不要な浮遊容量が大きくなり、モジュールの損失が増加するという問題があった。このような浮遊容量を低減させるために、ハイパスフィルタの上層に形成されるアース電極の一部または全てを除去することが考えられるが、その場合、ハイパスフィルタのストリップラインとアース電極の接続位置が制限され、電極のパターン配置が困難になるという問題があった。

【0008】また、ハイパスフィルタにおいては、通過帯域よりも低周波側の信号を除去することが信頼性を高める上で必要であるが、このような低周波側の信号を有効的に除去することのできる回路基板内蔵可能なハイパスフィルタについて何ら検討されていないのが現状であった。

【0009】本発明は上記事情に鑑みて完成されたものであり、その目的は、回路基板に一体的に内蔵可能であり、低周波側の信号を有効に除去できるとともに、各種パターン配置の自由度の高い設計性に優れたハイパスフィルタおよびそれを具備する回路基板を提供することにある。

【0010】

【課題を解決するための手段】本発明のハイパスフィルタは、誘電体層を複数積層してなる積層体と、該積層体内の異なる前記誘電体層間に形成された複数のメインインダクタ形成用ストリップラインと、誘電体層を挟む対向する位置に設けられた一対の容量形成電極とを具備したハイパスフィルタであって、前記複数のメインインダクタ形成用ストリップラインをビアホール導体によって接続するとともに、該ビアホール導体をサブインダクタ形成用ストリップラインおよびサブインダクタ形成用ビアホール導体を介してアース電極に接続したことを特徴

とするものである。

【0011】また、かかるハイパスフィルタにおいては、前記サブインダクタ形成用ストリップラインが、前記メインインダクタ形成用ストリップラインが形成された誘電体層間とは異なる誘電体層間に形成されていること、異なる誘電体層間にそれぞれ形成された前記メインインダクタ形成用ストリップラインが、前記誘電体層の積層方向から見て異なる位置に形成されていること、前記アース電極が、前記積層体の最下面あるいは最上面に被着形成されていること、が望ましい。

【0012】また、本発明の回路基板は、上記構造からなるハイパスフィルタを含む複数のフィルタを内蔵することを特徴とするものである。

【0013】

【作用】本発明のハイパスフィルタは、異なる誘電体層間にそれぞれ形成されたメインインダクタ形成用ストリップラインをビアホール導体で接続するとともに、そのビアホール導体をサブインダクタ形成用ストリップラインおよびサブインダクタ形成用ビアホール導体を介してアース電極に接続したので、通過帯域の低周波側に減衰用の極を容易に制御できるように形成できる結果、通過帯域よりも低周波側の信号を確実に除去することができる。

【0014】また、回路基板内に上記ハイパスフィルタを内蔵する際、回路基板の表面に形成された表面電極の位置やアース電極の形状に関係なく、ハイパスフィルタを任意の位置に配置することができるために、各種パターンの配置の自由度の高い設計性に優れたハイパスフィルタを内蔵する回路基板を提供できる。

【0015】特に、メインインダクタ形成用ストリップラインが形成された誘電体層とは異なる誘電体層に、サブインダクタ形成用ストリップラインを形成することで、さらにサブインダクタ形成用ストリップラインの形状の自由度も増し、通過帯域の低周波側の極の制御の自由度及び配置の自由度が増すこととなる。

【0016】また、異なる誘電体層間にそれぞれ形成された前記メインインダクタ形成用ストリップラインを、誘電体層の積層方向から見て異なる位置に形成することにより、ストリップライン間の誘電体層の厚みを薄くした場合でも、ストリップライン間で不要な容量的干渉が発生せず、それに伴うフィルタ特性の劣化がない。

【0017】

【発明の実施の形態】図1は、本発明のハイパスフィルタを内蔵した回路基板の外観斜視図、図2は本発明のハイパスフィルタのパターン構成を示す透視斜視図、図3は図2のメインインダクタ形成用ストリップラインを真上から見た透視図、図4は本発明のハイパスフィルタの等価回路図である。

【0018】図1において、符号1は絶縁基体であり、誘電体でもある。絶縁基体1の表面には表面電極3が形

成されている。表面電極3にはコンデンサ、インダクタ、ダイオード等の各種チップ部品（図示せず）が実装される。また、表面電極3は、絶縁基体1に内蔵されたフィルタ等の素子の入出力電極の役割も果たす。

【0019】絶縁基体1の側面には端面電極が形成され、例えば、端面アース電極4と端面入出力電極5の2種類がある。端面アース電極4は絶縁基体1に内蔵もしくは裏面に形成されたアース電極と接続されている。

【0020】また、端面入出力電極5は絶縁基体1中に内蔵もしくは裏面に形成された入出力電極と接続されており、アンテナ、送信、受信または電源等の入出力としての役割を果たす。絶縁基体1内の破線部Fは基体1内に内蔵されたハイパスフィルタを表し、そのパターン構成を図2に基づいて説明する。

【0021】絶縁基体1は、図2によれば、4層の誘電体層10a～10dから構成されており、誘電体層10aの最下面にはアース電極11が形成され、回路基板のアース電極と共有されている。

【0022】誘電体層10bおよび10cの上面には容量形成電極21、22が形成されており、これらの容量形成電極21、22と、この電極21、22によって挟まれた誘電体層10cによって入出力間容量を形成している。容量形成電極21とアース電極11との間で浮遊容量が発生するため、誘電体層10cの層厚を薄くし、必要な容量を小面積で得るとともに、誘電体層10a、10bの層厚を厚くすることによって、浮遊容量の抑制を図ることができる。

【0023】また、誘電体層10b、10cの上面には、ループ状のストリップライン23、24が形成され、これらのストリップライン23、24によりメインインダクタが形成される。このメインインダクタ形成用ストリップライン23、24の一端には、ランド25、26が形成されており、他端には入出力ランド30a、30bが形成されている。

【0024】この入出力ランド30a、30bは、誘電体層10dの上面に形成された入出力電極3と信号入出力用ビアホール導体31、33によって接続されており、ランド25とランド26はビアホール導体32により接続され、メインインダクタ形成用ストリップライン23、24が電気的に接続されている。なお、入出力ランド30a、30bは、ストリップライン23a、24aを介して、容量形成電極21、22に接続されている。

【0025】一方、誘電体層10aの上面には、サブインダクタ形成用ストリップライン28が形成され、その一端にはランド27が形成され、サブインダクタ形成用ビアホール導体34によりランド25を経由してメインインダクタ形成用ストリップライン23、24を電気的に接続したビアホール導体32と接続されている。

【0026】さらに、サブインダクタ形成用ストリップ

ライン 28 の他端にはランド 29 が形成され、サブインダクタ形成用ビアホール導体 35 を介してアース電極 11 と接続されている。

【0027】尚、サブインダクタ形成用ストリップライン 28 は、メインインダクタ形成用ストリップライン 23 と同一誘電体層 10b 上に形成してもよいが、このストリップライン 28 は、他の層間に形成する方がサブインダクタ形成用ストリップラインの形状を自由に構成することができ、通過帯域の低周波側の極の制御の自由度及び配置の自由度を増すことができる。

【0028】上記の構成からなるハイパスフィルタにおいては、誘電体層の比誘電率が高い場合には、メインインダクタ形成用ストリップライン 23、24 間でハイパスフィルタによって不要な容量的干渉が大きくなるという問題がある。その場合、ストリップライン 23、24 を誘電体層 10a～10d の積層方向（図の上方）から見て、図 3 に示すように異なる位置に形成することが望ましい。

【0029】より具体的には、図 3 によれば、符号 41 は入出力間容量を形成するところ（つまり、容量形成電極 21 と 22 とが重なる部分）であり、符号 42 はストリップライン同士をつなぐビアホール導体 32 と接続するためのランド 25、26 の重なり部分である。それ以外のところで、ストリップライン 23、24 が互いに重ならない位置に形成することによって容量的干渉を除去している。かかる構成は、誘電体層 10c の厚みが薄くなる場合においても有効である。

【0030】また、メインインダクタ形成用ストリップライン 23、24 の一端をランド 30a、30b およびストリップライン 23a、24a を介して容量形成電極 21、22 に接続するとともに、ランド 30a、30b に信号入出力用ビアホール導体 31、33 を接続したため、図 3 に示したように、ストリップライン 23a、24a により容量形成電極 21、22 と入出力ランド 30a、30b が接続されることになる。このストリップライン 23a、24a の長さを変えることにより、ハイパスフィルタの入出力位置、即ち、表面電極 3 の形成位置を変えることが可能となる。

【0031】そして、本発明のハイパスフィルタをバンドパスフィルタとともに回路基板内に内蔵する場合には、誘電体層 10a～10d の比誘電率が高くなるため、容量形成電極 21 とアース電極 11 との間で不要な浮遊容量がより大きくなる傾向にあるため、誘電体層 10c の層厚を薄く、誘電体層 10a の厚みを厚くすることで、容量形成電極 21 とアース電極 11 との間の不要な浮遊容量の発生を抑制するとともに、容量形成電極 21、22 間において最小面積で必要な容量を確保することができる。

【0032】本発明のハイパスフィルタの場合、図 2 に示すようにハイパスフィルタの上層のアース電極が全く

除去され、サブインダクタ形成用ストリップライン 28 により必要なインダクタを自由に形成できるとともに、ストリップライン 23、24 とアース電極との接続位置を自由に変えることができるため、配置上の問題が生じることはない。

【0033】一方、表面電極とアース電極の間の容量がモジュールの損失に効かない場合には、ハイパスフィルタの上層にアース電極が設けられる場合がある。ここで、損失に効かない場合とは、モジュールの回路構成上、表面電極とアース電極の間で容量を形成している場合、もしくは電源回路等のように高周波信号が通過するためではない場合である。なお、ハイパスフィルタの上層にアース電極が設けられても配置上問題が生じることはない。

【0034】上記の構成からなる本発明のハイパスフィルタによる等価回路を図 4 に示した。図中の符号 51 は入出力間容量を表し、容量形成電極 21、22 の間によって形成される容量を意味している。また、52、53 は、それぞれストリップライン 23、24 によって形成されるメインインダクタ、符号 54、55 はそれぞれストリップライン 23a、24a によって形成されるインダクタである。上記の入出力間容量 51 とストリップライン 52～55 によって、通過周波数帯域、減衰極位置を任意に制御することが可能である。なお、上記インダクタ 52 およびインダクタ 53 は、ビアホール導体 32 によって並列的に接続されている。

【0035】また、符号 56 は、主にサブインダクタ形成用ストリップライン 28、サブインダクタ形成用ビアホール導体 34、35 によって形成されるサブインダクタを表す。

【0036】上記の等価回路においては、符号 56 のサブインダクタを大きくするほど低周波側に存在する減衰用の極 A を高周波側にシフトさせ、逆に小さくするほど低周波側にシフトさせることができる。

【0037】そこで、本発明によれば、ストリップライン 23、24 により形成されるメインインダクタ 52、53 をビアホール導体 32 により接続し、さらにこのビアホール導体 32 をサブインダクタ形成用ビアホール導体 34、サブインダクタ形成用ストリップライン 28、サブインダクタ形成用ビアホール導体 35 を介してアース電極 11 に接続することによって、サブインダクタ 56 を介して接地したものである。

【0038】従って、サブインダクタ 56 を大きくするためには、サブインダクタ形成用ストリップライン 28 の長さを長くするか、幅を細くする、あるいは、サブインダクタ形成用ビアホール導体 34、35 の径を小さくすることが効果的であるが、ビアホール導体の小径化には限界があるために、インダクタ形成用ストリップライン 28 によって長さ、幅を適宜変更することによってサブインダクタ 56 の大きさを容易に調整することができ

る。例えば、電極パターン配置上等の制約からストリップライン長を決めた後、必要なインダクタをライン幅により調整することで得ることができる。

【0039】なお、符号57、58は、容量形成電極21、22とアース電極11との間の浮遊容量で、この浮遊容量57、58が大きくなるとハイパスフィルタの通過帯域が狭くなり、挿入損失が悪化する。本発明のハイパスフィルタをバンドパスフィルタとともに回路基板に内蔵した場合等において、基板材料の比誘電率が高くなる結果、上記浮遊容量が大きくなりやすいが、このような浮遊容量は前述したように、アース電極11と容量形成電極21、22との間の誘電体層厚を大きくすることによって小さくすることができる。

【0040】本発明のハイパスフィルタは、例えば、複数の未焼成のセラミックグリーンシートにビアホールを形成し、そのビアホール中に導電性ペーストを充填して、ビアホール導体32、サブインダクタ形成用ビアホール導体34、35を形成する。そして、上記ビアホール導体を形成したグリーンシートの表面に、導電性ペーストをメインインダクタ形成用ストリップライン23、24や容量形成電極21、22、アース電極11、サブインダクタ形成用ストリップラインのパターン状に塗布する。そして、導電性ペーストが塗布されたグリーンシートを積層し、焼結一体化することによって作製される。

【0041】尚、図2に示した構造において、誘電体層10a~10dはそれぞれ1枚のグリーンシートからでも、複数のグリーンシートを積層して作製しても良い。

【0042】例えば、本発明のハイパスフィルタを他フィルタ（バンドパスフィルタ、ローパスフィルタ）、あるいはマッチング回路やスイッチ回路とともに、回路基板内に内蔵させた場合、ハイパスフィルタ以外の回路の層構成が、本発明のハイパスフィルタとは異なる場合には、各誘電体層毎に、複数のグリーンシートを使用し、必要な層構成を得なければならない。

【0043】本発明のハイパスフィルタにおいて、絶縁基体1を構成する誘電体材料としては、内蔵されるストリップラインのインピーダンスが50Ω近くを実現でき、小型で高性能なバンドパスフィルタを内蔵可能であるために、比誘電率が20±5のもので、Q値が高く、 ϵ_f が0に近いものが良い。

【0044】例えば、 $a\text{MgO} \cdot b\text{CaO} \cdot c\text{TiO}_2$ ($2.5 \leq a \leq 3.5$, $0.3 \leq b \leq 7$, $6.0 \leq c \leq 7.0$, $a+b+c=100$ 重量比)に、ホウ素含有化合物を B_2O_3 換算で3~20重量部、リチウム含有化合物を Li_2O 換算で1~10重量部添加したものなどが好適である。

【0045】また、ストリップライン、容量形成電極、ビアホール導体などのラインを形成する導体成分としては、ラインの損失を悪化させないために、銅、銀、金な

どの低抵抗の導体を用いて形成することが望ましい。そのために、絶縁基体は900~1000℃程度で焼成可能な低温焼成材料を用い、前記低抵抗導体と同時焼成によって形成できることが望ましい。

【0046】以上のように、本発明のハイパスフィルタでは、異なる誘電体層にそれぞれ形成されたメインインダクタ形成用ストリップラインをビアホール導体で接続した後、そのビアホール導体をサブインダクタ形成用ストリップラインおよびサブインダクタ形成用ビアホール導体を經由してアース電極に接続したので、通過帯域の低周波側に減衰用の極を容易に制御可能なように形成できるために、低周波側の信号を確実に除去することができる。

【0047】また、このハイパスフィルタを回路基板内に内蔵する場合において、サブインダクタ形成用ストリップラインを經由することで、回路基板の表面に形成された表面電極の位置やアース電極の形状や位置に関係なく接続させることが可能となるために、ハイパスフィルタを回路基板内の任意の位置に配置することも可能となる。

【0048】特に、メインインダクタ形成用ストリップラインが形成された誘電体層とは異なる誘電体層に、サブインダクタ形成用ストリップラインを形成することで、さらにサブインダクタ形成用ストリップラインの形状の自由度も増し、通過帯域の低周波側の極の制御の自由度及び配置の自由度が増すこととなる。

【0049】

【実施例】図1乃至4に示す本発明のハイパスフィルタを内蔵した回路基板を作製した。回路基板の大きさは10mm×10mm×1.0mm、図3で示すフィルタ部の電極パターンの占有面積を2.5mm×2.5mmとするとともに、誘電体層10a、10b、10dの厚みを0.4mm、誘電体層10cの厚みを0.1mmとした。比誘電率20の誘電体材料を用い、メインインダクタ形成用ストリップライン23、24の全長およびライン幅を、それぞれ3.5mm、0.1mmとし、容量形成電極21、22の大きさを0.7×1.0mmとし、サブインダクタ形成用ストリップライン28の全長およびライン幅を、0.6mm、0.1mmとしたときの周波数特性の測定結果を図5に示す。

【0050】この結果から明らかなように、周波数10GHz付近に極Aを形成することができる結果、1.8GHz帯で、挿入損失が0.45dBと小さく、900MHz帯における減衰量（損失）を30dBと大きくすることができた。また、比較のため、インダクタ形成用ストリップラインがなく、直接ビアホール導体によりアース電極と接続した場合、極が___MHz付近に形成されたため、900MHzにおける減衰量は10dBとなり低周波側の信号の十分な除去がなされなかった。

【0051】

【発明の効果】以上詳述した通り、本発明のハイパスフィルタは、異なる誘電体層間にそれぞれ形成されたメインインダクタ形成用ストリップラインを、サブインダクタ形成用ストリップラインおよびサブインダクタ形成用ビアホール導体によりアース電極に接続したので、通過帯域の低周波側の信号を除去しつつ、基板内に内蔵する際、容易にハイパスフィルタを配置することができる。特に、サブインダクタ形成用ストリップラインをメインインダクタ形成用ストリップラインと別の層に形成した場合、さらに、電極パターン配置の自由度が増すこととなる。従って、小型、低背化で、基板内蔵可能で、電極パターン配置の自由度の高いハイパスフィルタを得ることができる。

【図面の簡単な説明】

【図1】本発明のハイパスフィルタを内蔵した回路基板の外観斜視図である。

【図2】本発明のハイパスフィルタのパターンを示す透視斜視図である。

【図3】本発明のハイパスフィルタのパターンを真上か

ら見た透視図である。

【図4】本発明のハイパスフィルタによる等価回路図である。

【図5】本発明のハイパスフィルタの周波数特性を示すグラフである。

【符号の説明】

1・・・絶縁基板

10a～10d・・・誘電体層

3・・・表面電極

4・・・端面アース電極

5・・・端面入出力電極

11・・・アース電極

21、22・・・容量形成電極

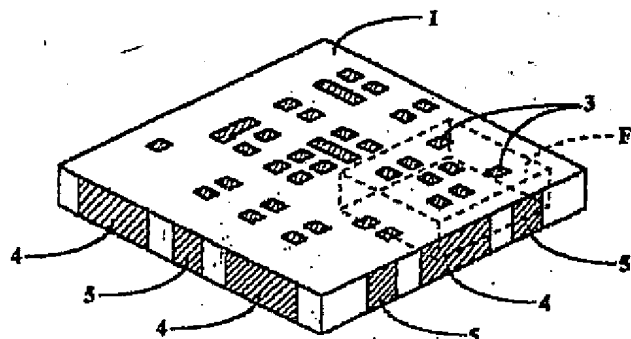
23、24・・・メインインダクタ形成用ストリップライン

28・・・サブインダクタ形成用ストリップライン

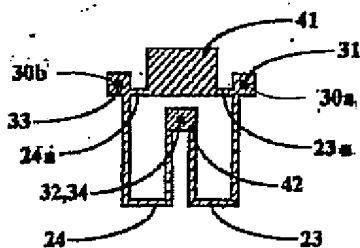
31～35・・・ビアホール

F・・・フィルタ

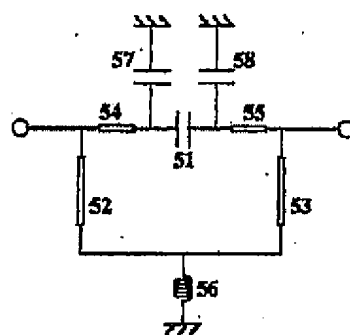
【図1】



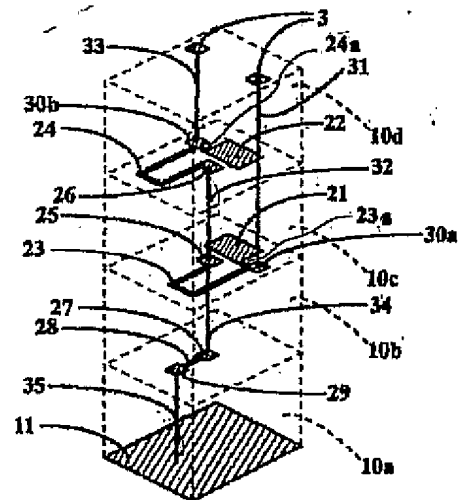
【図3】



【図4】



【図2】



【図 5】

